

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-095864
(43)Date of publication of application : 12.04.1996

2

(51)Int.Cl.

G06F 12/10

(21)Application number : 06-233687

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.09.1994

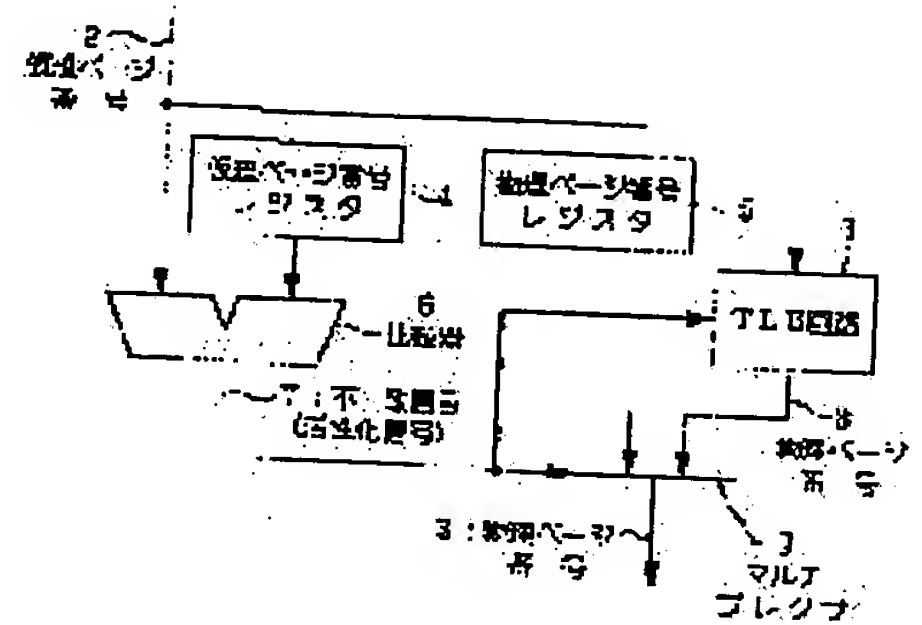
(72)Inventor : NOGAMI KAZUTAKA

(54) ADDRESS CONVERTING DEVICE

(57)Abstract:

PURPOSE: To secure a processing speed by using a TLB circuit of plural ways for address conversion and preventing the hit rate of the address conversion from decreasing and to lower the power consumption by suppressing access to the TLB circuit.

CONSTITUTION: This device is equipped with a virtual page number register 4 wherein the number of the last accessed virtual page is stored, a physical page number register 5 wherein the number of the physical page corresponding to the virtual page in the virtual page number register 4 is stored, and the TLB circuit 1 which stores physical page numbers corresponding to virtual page numbers over plural ways. A comparator 6 compares the virtual page number 2 with the output of the virtual page number register 4 first and when they match with each other, the output of the physical page number register 5 is outputted as a physical page number 3 through a multiplexer 9, but when not, the TLB circuit 1 is inactivated with the mismatching signal 7 outputted from the comparator 6 and the output of the TLB circuit 1 is outputted as the physical page number 3 through the multiplexer 9.



LEGAL STATUS

[Date of request for examination]

10.04.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

MicroPatent® Worldwide PatSearch: Record 4 of 4
 Family of JP08095864 [How It Works](#)

Stage 2 Patent Family - "Extended"		Priorities and Applications	
CC DocNum	KD PubDate	CC AppNum	KD AppDate
<input type="checkbox"/> EP 704805	A2 19960403	EP 95115267 JP 233687	A 19950927 A 19940928
<input type="checkbox"/> EP 704805	A3 19960731	EP 95115267 JP 233687	A 19950927 A 19940928
<input type="checkbox"/> EP 1276051	A2 20030115	EP 1114798 EP 95115267 JP 233687	A 19950927 A3 19950927 A 19940928
<input type="checkbox"/> JP 8095864	A2 19960412	JP 233687	A 19940928
<input type="checkbox"/> KR 245660	B1 20000215	JP 233687 KR 9532074	A 19940928 A 19950927
<input type="checkbox"/> TW 394872	B 20000621	JP 233687 TW 84111420	A 19940928 A 19951028
<input type="checkbox"/> US 5860145	A 19990112	JP 233687 US 534361	A 19940928 A 19950927
7 Publications found.			
Order Selected Documents			

For further information, please contact:
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-95864

(43) 公開日 平成8年(1996)4月12日

(51) Int.Cl.
G 0 6 F 12/10

識別記号 庁内整理番号
C 7623-5B

F I

技術表示箇所

審査請求 未請求 請求項の数7 O L (全7頁)

(21) 出願番号 特願平6-233687

(22) 出願日 平成6年(1994)9月28日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 野 上 一 孝

神奈川県川崎市幸区小向東芝町1 株式会
社東芝多摩川工場内

(74) 代理人 弁理士 佐藤 一雄 (外3名)

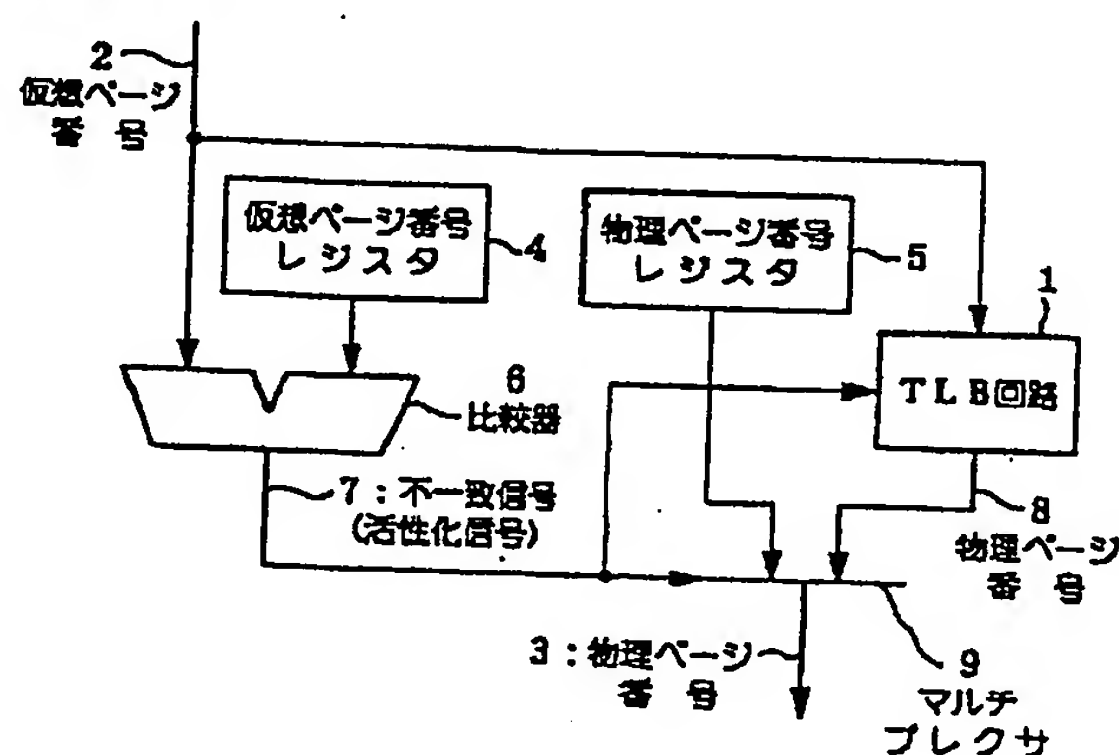
(54) 【発明の名称】 アドレス変換装置

(57) 【要約】

【目的】 アドレス変換に当たり、複数ウェイのTLB回路を用いて、アドレス変換のヒット率の低下を防止して処理速度を確保し、併せて、TLB回路のアクセスを抑制して消費電力の低減を計る。

【構成】 最後にアクセスした仮想ページ番号を格納しておく仮想ページ番号レジスタ4と、仮想ページ番号レジスタ4の仮想ページに対応する物理ページ番号を格納する物理ページ番号レジスタ5と、仮想ページ番号に対応する物理ページ番号を複数ウェイにわたって格納するTLB回路1を備え、先ず、比較器6により仮想ページ番号2を仮想ページ番号レジスタ4の出力と比較して、これらが一致していた場合、マルチプレクサ9を通じて、物理ページ番号レジスタ5の出力を物理ページ番号3として出力し、不一致の場合、比較器6から出力される不一致信号7により、TLB回路1を活性化すると共に、マルチプレクサ9を通じて、TLB回路1の出力を物理ページ番号3として出力する。

実施例 1



【特許請求の範囲】

【請求項1】 仮想アドレスと物理アドレスの対応を複数ウェイ記憶する第1のアドレス変換手段と、少なくとも1つの仮想アドレスとこれに対応する物理アドレスを記憶する第2のアドレス変換手段と、変換対象となる仮想アドレスと前記第2のアドレス変換手段の仮想アドレスの対応を比較し、ここでアドレス変換できる場合は、前記第1のアドレス変換手段の活性化を抑制すると共に、前記第2のアドレス変換手段から物理アドレスを出力させ、前記第2のアドレス変換手段によるアドレス変換ができない場合は、前記第1のアドレス変換手段を活性化して、前記第1のアドレス変換手段から物理アドレスを出力させる制御手段と、を備えることを特徴とするアドレス変換装置。

【請求項2】 前記制御手段が、変換対象となる仮想アドレスと第2のアドレス変換手段の仮想アドレスを比較する比較器を有し、

前記第1のアドレス変換手段が、各ウェイごとに、変換対象としての仮想アドレスと記憶された仮想アドレスとを比較する比較器を有し、前記第1のアドレス変換手段が備える比較器の数よりも、前記制御手段が有する比較器の数を少ないものとした、請求項1のアドレス変換装置。

【請求項3】 前記第2のアドレス変換手段に保持されている仮想アドレスと物理アドレスの対応のすべてを前記第1のアドレス変換手段が保持している、請求項2のアドレス変換装置。

【請求項4】 前記第1のアドレス変換手段がフルアソシアティブ方式のTLB回路である、請求項1のアドレス変換装置。

【請求項5】 仮想アドレスと物理アドレスの対応を複数ウェイ記憶するアドレス変換手段と、過去のアドレス変換の実績に基づいて、前記アドレス変換手段の複数のウェイを選択的にアクセスし、変換対象となる仮想アドレスに対応する物理アドレスを呼び出す制御手段と、を備えることを特徴とするアドレス変換装置。

【請求項6】 前記制御手段が、前記アドレス変換手段の複数ウェイの出力を選択する手段を備える、請求項5のアドレス変換装置。

【請求項7】 前記制御手段が、前記アドレス変換手段の複数ウェイを選択的に活性化する手段を備える、請求項5のアドレス変換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はアドレス変換装置に係り、特に、仮想記憶をサポートするマイクロプロセッサにおいてアドレス変換を低消費電力で迅速に行わせるようなシステム構造のアドレス変換装置に関する。

【0002】

【従来の技術】 一般的なマイクロプロセッサにおいて

は、主記憶装置に仮想アドレスと物理アドレスの全変換表を備えている。しかし、アドレス変換の度に、主記憶装置にアクセスすると時間がかかってしまい処理速度に影響を与えるので、図3のブロック図に示すようなアドレス変換装置が用いられる。

【0003】 図において示すように、TLB回路1は仮想ページ番号2を与えると、物理ページ番号3を出力するように構成されている。これは、TLB回路1が仮想アドレスと物理アドレスの対応表を持っており、テーブル参照によって物理アドレスを得るようにしているためである。

【0004】 一般的なシステムでは、このTLB回路1によってほとんどのアドレス変換を行っている。そして、アドレス変換がTLB回路1によって行われなかった場合は、結局主記憶装置にあるアドレス変換表をアクセスすることになる。

【0005】 ところが、主記憶装置のアドレス変換表をアクセスすると、先にも述べたように、処理が非常に遅くなってくるので、アドレス変換がTLB回路1によって行われる確率、つまりヒット率を高くするための試みが多くなされている。

【0006】 このために、TLB回路1として、4ウェイのセットアソシアティブ方式あるいはフルアソシアティブ方式が用いられることになる。

【0007】 図4は、4ウェイのセットアソシアティブ方式のアドレス変換装置の構成を示すブロック図である。図において示すように、メモリアレイ12は仮想ページアドレス保持メモリ10a、10b、10c、10dと物理ページアドレス保持メモリ11a、11b、11c、11dを、それぞれ4系統、並列に備えている。そして、仮想ページ番号2が与えられると、仮想ページ番号2と仮想ページアドレス保持メモリ10a、10b、10c、10dの出力を、それぞれ比較器13a、13b、13c、13dで比較し、これが一致した場合に、一致信号14a、14b、14c、14dを得て、これによりトライステートバッファ15a、15b、15c、15dを動作させ、物理ページアドレス保持メモリ11a、11b、11c、11dの出力を物理ページ番号3として出力するように構成される。

【0008】

【発明が解決しようとする課題】 従来のアドレス変換装置は、以上のように構成されていたので、4つのアドレス比較を並列に行うことになり、ヒット率を向上して、主記憶装置をアクセスしない分、処理速度は上がるものの、消費電力が大きくなっていくという問題がある。一方、フルアソシアティブ方式では、アドレス比較が、エントリの数だけ行われるため、消費電力が更に増大してしまうという問題点がある。

【0009】 本発明は、上記のような従来技術の問題点を解消し、アドレス変換のヒット率の低下を防止して処

理速度を確保し、消費電力の低減を可能にしたアドレス変換装置を得ることを目的とする。

【0010】

【課題を解決するための手段】本発明の第1のアドレス変換装置は仮想アドレスと物理アドレスの対応を複数ウェイ記憶する第1のアドレス変換手段と、少なくとも1つの仮想アドレスとこれに対応する物理アドレスを記憶する第2のアドレス変換手段と、変換対象となる仮想アドレスと前記第2のアドレス変換手段の仮想アドレスの対応を比較し、ここでアドレス変換できる場合は、前記第1のアドレス変換手段の活性化を抑制すると共に、前記第2のアドレス変換手段から物理アドレスを出力させ、前記第2のアドレス変換手段によるアドレス変換ができない場合は、前記第1のアドレス変換手段を活性化して、前記第1のアドレス変換手段から物理アドレスを出力させる制御手段と、を備えるものとして構成される。

【0011】本発明の第2のアドレス変換装置は、仮想アドレスと物理アドレスの対応を複数ウェイ記憶するアドレス変換手段と、過去のアドレス変換の実績に基づいて、前記アドレス変換手段の複数のウェイを選択的にアクセスし、変換対象となる仮想アドレスに対応する物理アドレスを呼び出す制御手段と、を備えるものとして構成される。

【0012】

【作用】本発明の第1のアドレス変換装置においては、変換対象となる仮想アドレスが与えられた時に、まず、変換対象となる仮想アドレスと、第2のアドレス変換手段の仮想アドレスの対応を比較し、ここでアドレス変換できる場合は、第1のアドレス変換手段を活性化せずに、第2のアドレス変換手段から物理アドレスを出力させる。第2のアドレス変換手段によるアドレス変換ができないと判断された場合に限り、第1のアドレス変換手段を活性化して、物理アドレスを出力させるようにする。これにより、第1のアドレス変換手段の活性化に伴う消費電力が低減される。

【0013】本発明の第2のアドレス変換装置においては、過去のアドレス変換の実績に基づいて、アドレス変換手段の複数のウェイを選択的にアクセスし、変換対象となる仮想アドレスに対応する物理アドレスを呼び出す。これにより、アドレス変換手段の全体をアクセスする場合に比較して、消費電力が抑制される。

【0014】

【実施例】本発明の実施例を説明するに先ち、本発明がなされるに至った経緯について説明する。

【0015】一般的なアドレス変換においては、ある仮想ページ及びその近傍の仮想ページについての変換が何回か繰り返えされた後、大きくページ番号の離れた仮想ページについての変換が行なわれることが多い。つまり、同一の仮想ページについて続けて変換が行われるこ

とも少なくない。本発明者は今まで何人もとりたてて注意を払わなかったこのような事実を認識すると共に着目し、少なくとも最後に変換した仮想ページを記憶しておき、次に変換するときには変換しようとする仮想ページとこの記憶した前回の仮想ページとを比較し、一致したときにはTLB回路をアクセスすることなく直ちに変換することによりTLB回路をアクセスするのに比べてパワーセーブする、という特徴を有する本発明をなすに至った。本発明によれば一般に汎用の装置に比べて10～15%程度のパワーセーブが可能である。

【0016】以下、図面を参照しながら本発明の実施例を説明する。

実施例1. 図1は、本発明の実施例1に係るアドレス変換装置のブロック図である。図において示すように、最後のアドレス変換の仮想ページ番号を記憶する仮想ページ番号レジスタ4と、最後のアドレス変換の物理ページ番号を記憶する物理ページ番号レジスタ5を備えており、仮想ページ番号2が与えられた時に、これをTLB回路1に与えると共に、比較器6にも与える。比較器6には、仮想ページ番号レジスタ4の出力が与えられており、両者が不一致の場合に不一致信号7を出力する。TLB回路1は比較器6からの不一致信号7により活性化し、仮想ページ番号2に対するアドレス変換を行い、物理ページ番号8を出力する。マルチプレクサ9は物理ページ番号レジスタ5の出力とTLB回路1の出力を、不一致信号7に基づいて選択し、物理ページ番号3として出力する。

【0017】以上述べたような構成において、次にその動作を説明する。

【0018】仮想ページ番号2に対するアドレス変換を行う場合、まず、仮想ページ番号レジスタ4に記憶された最後のアドレス変換の仮想ページ番号と、アドレス変換しようとしている仮想ページ番号2を、比較器6で比較する。

【0019】この比較の結果、両者が一致していた場合、不一致信号7は出力されず、マルチプレクサ9は物理ページ番号レジスタ5の出力を選択する。その結果、物理ページ番号レジスタ5の出力が物理ページ番号3として出力される。

【0020】なお、この場合、比較器6からは不一致信号7が出力されないで、この不一致信号7を活性化信号としているTLB回路1は活性化されない。

【0021】一方、比較器6における比較の結果、両者が不一致の場合、不一致信号7が出力されるので、これを活性化信号とするTLB回路1は活性化される。その結果、TLB回路1はアドレス変換しようとしている仮想ページ番号2に基づいて、対照表を引いて、物理ページ番号8を出力する。一方、マルチプレクサ9は不一致信号7によって物理ページ番号8を選択するので、TLB回路1からの物理ページ番号8が物理ページ番号3と

して出力されることになる。

【0022】以上のように、実施例1によれば、仮想ページ番号2が仮想ページ番号レジスタ4に格納されている最後のアドレス変換の仮想ページ番号に一致していれば、TLB回路1を活性化することなく、物理ページ番号レジスタ5から物理ページ番号3を引けるので、TLB回路1を活性化することに伴う消費電力を低減することができる。

【0023】そして、アドレス変換時の仮想ページ番号2の仮想ページ番号レジスタ4に対するヒット率が高ければ高いほど、消費電力低減の上で効果的である。

【0024】なお、上記実施例では、仮想ページ番号レジスタ4と物理ページ番号レジスタ5、比較器6を一系統設置した構成を例示したが、過去に遡って、最後から複数個のアドレス変換における仮想ページ番号とこれに対応する物理アドレス番号を保持しておくような構成とすることもできる。図5は、最後と最後から2番目のアドレス変換に用いた仮想ページ番号について参照する場合の構成を例示する。

【0025】このような場合、アドレス変換に当たって、仮想ページ番号2が与えられた時、これが、仮想ページ番号レジスタ4に記憶されている、過去の複数の仮想ページ番号のいずれかに一致した場合に、TLB回路1を活性化することなく、物理ページ番号レジスタ5から物理ページ番号3を引くように構成する。そして、これらのいずれからも一致が見いだせない場合に、初めてTLB回路1を活性化する。

【0026】このような構成によれば、仮想ページ番号2の仮想ページ番号レジスタ4に対するヒット率が高まるので、TLB回路1を活性化する比率が低下し、消費電力を更に低減することができる。

【0027】ちなみに、この場合の、比較器6の設置個数は、TLB回路1の中に含まれる比較器の個数よりも少ないので、比較器6による消費電力の増大は、TLB回路1を活性化する場合の消費電力の増大よりも少ない。

【0028】なお、実施例1の構成は、フルアソシアティブ方式のTLB回路に対して、効果的に適用されるものである。

実施例2. 図2は、本発明の実施例2に係るアドレス変換装置のブロック図であり、特に4ウェイセットアソシアティブ方式のTLB回路を例示するものである。

【0029】図において示すように、メモリアレイ12には仮想ページアドレス保持メモリ10a、10b、10c、10dと物理ページアドレス保持メモリ11a、11b、11c、11dが、それぞれ対応して、4系統並列に設けられている。比較器13a、13b、13c、13dは、仮想ページ番号2が与えられると、仮想ページ番号2と仮想ページアドレス保持メモリ10a、10b、10c、10dの出力を、それぞれ比較する。

比較器13a、13b、13c、13dの比較の結果得られる一致信号14a、14b、14c、14dは、トライステートバッファ15a、15b、15c、15dに与えられ、物理ページアドレス保持メモリ11a、11b、11c、11dからの出力を物理ページ番号3として出力させる。なお、比較器13a、13b、13c、13dの各出力の一致信号14a、14b、14c、14dは、コントロール回路16に与えられる。そして、コントロール回路16は一致信号14a、14b、14c、14dに基づいて、活性化信号17a、17b、17c、17dを発生し、比較器13a、13b、13c、13dの活性化を制御する。

【0030】以上述べたような構成において、次にその動作を説明する。

【0031】仮想ページ番号2に基づくアドレス変換を行う場合、まず、コントロール回路16により、最後にヒットし且つエントリを登録したウェイの比較器13a、13b、13c又は13dに対して活性化信号17a、17b、17c又は17dを出力する。そして、コントロール回路16により選択された比較器13a、13b、13c又は13dにより、対応する仮想ページアドレス保持メモリ10a、10b、10c又は10dの出力と仮想ページ番号2を比較する。

【0032】この比較の結果、ヒットした場合、比較器13a、13b、13c又は13dから一致信号14a、14b、14c又は14dを出力させ、そのウェイの物理ページアドレス保持メモリ11a、11b、11c又は11dの出力をトライステートバッファ15a、15b、15c又は15dを通じて、物理ページ番号3として出力する。

【0033】なお、ここでヒットしなかった場合、コントロール回路16の活性化信号17a、17b、17c又は17dにより、他の比較器13a、13b、13c又は13dを活性化し、他のウェイでヒットするものがあれば、そのウェイの物理ページアドレス保持メモリ11a、11b、11c又は11dの出力をトライステートバッファ15a、15b、15c又は15dを通じて、物理ページ番号3として出力させる。

【0034】なお、実施例2では、4ウェイの構成を例示したが、この発明は、ウェイ数に関係なく、適用できることはもちろんである。

【0035】なお、実施例2は、従来の回路構成に、コントロール回路16を追加するだけで実施可能であり、オーバーヘッドを低下することができる。

【0036】なお、実施例2の構成は、フルアソシアティブ方式のTLB回路には適用できないが、セットアソシアティブ方式のTLB回路には、効果的に適用可能なものである。

実施例3. 実施例3のアドレス変換装置は、実施例2の構成に実施例1の考え方を適用したものである。つま

り、実施例2では、コントロール回路16により、比較器13a、13b、13c、13dの活性化のみを制御する構成を例示したが、これに実施例1の考え方、つまり、コントロール回路16により比較器13a、13b、13c、13dを制御する代わりに、メモリアレイ12の各ウェイごとにその活性化を制御するようにする。

【0037】このような構成によれば、最後にヒットしたか、エントリを登録したウェイのメモリアクセスと、ヒットチェックを最初に行い、ヒットした場合には、そのウェイの物理ページアドレス保持メモリ11a、11b、11c又は11dの出力を物理ページ番号3として出力する。そして、ヒットしなかった場合に、他のウェイのメモリアクセスを行い、ヒットチェックする。

【0038】以上のように、メモリアレイ12のウェイごとに、活性化する仮想ページアドレス保持メモリ10a、10b、10c、10dや物理ページアドレス保持メモリ11a、11b、11c、11dを制御することにより、メモリアレイ12の活性化する部分を小さくすることが可能であり、消費電力を低減することができる。

【0039】

【発明の効果】以上述べたように、本発明のアドレス変換装置は、最後にヒットまたはエントリ登録したアドレス変換と、次のアドレス変換が同じである確率が非常に高いことに着目して、TLB回路全体の活性化を抑制しながら、アドレス変換を行うように構成したので、通常

のTLB回路と同じエントリ数やウェイ数を保持したまま、つまりヒット率を低下させることなく、TLB回路の活性化に伴う消費電力を低減できる。

【図面の簡単な説明】

【図1】本発明の実施例1のアドレス変換装置のブロック図である。

【図2】本発明の実施例2のアドレス変換装置のブロック図である。

【図3】一般的なTLB回路のブロック図である。

【図4】従来のアドレス変換装置のブロック図である。

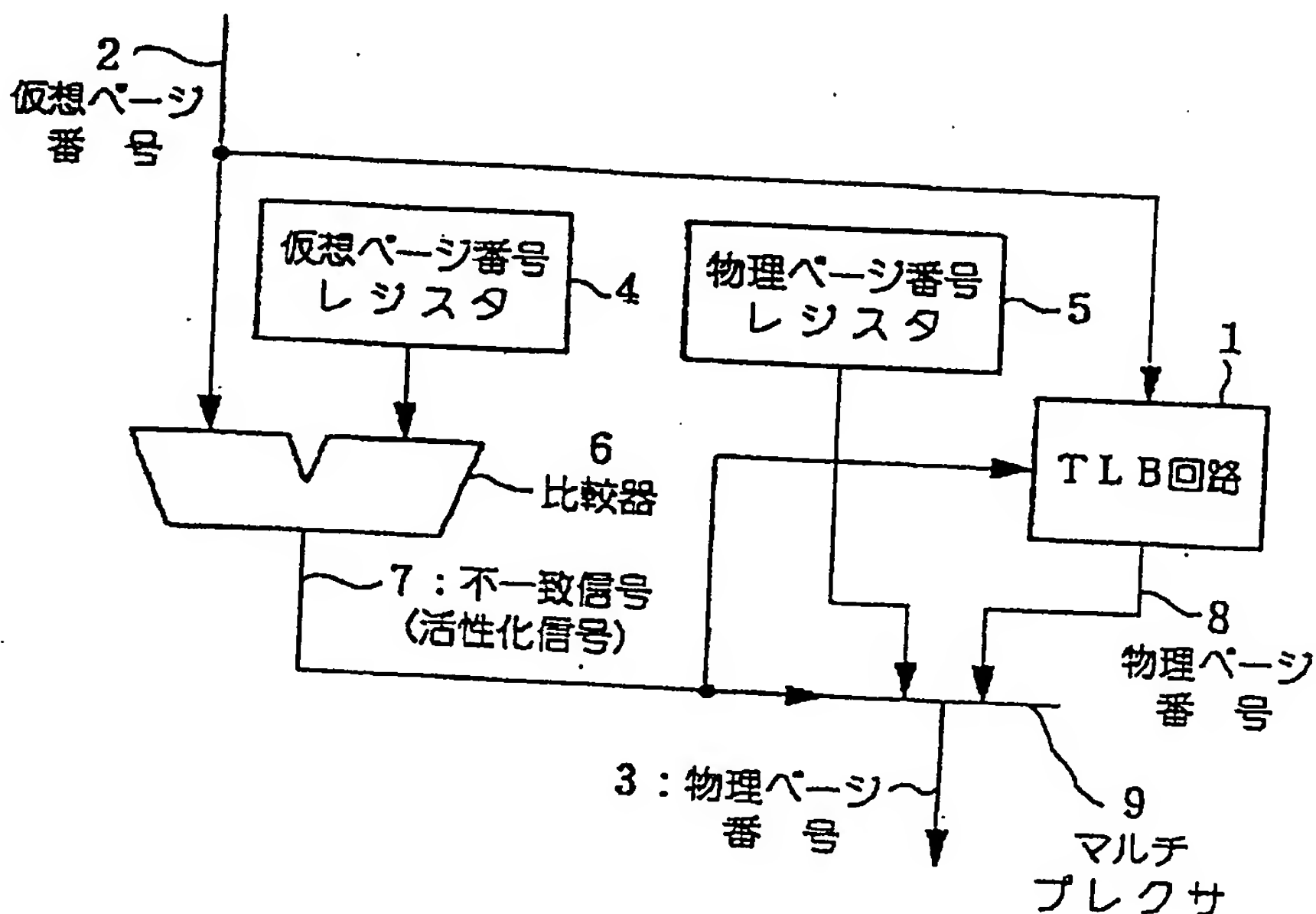
【図5】本発明の実施例2の変形例のブロック図である。

【符号の説明】

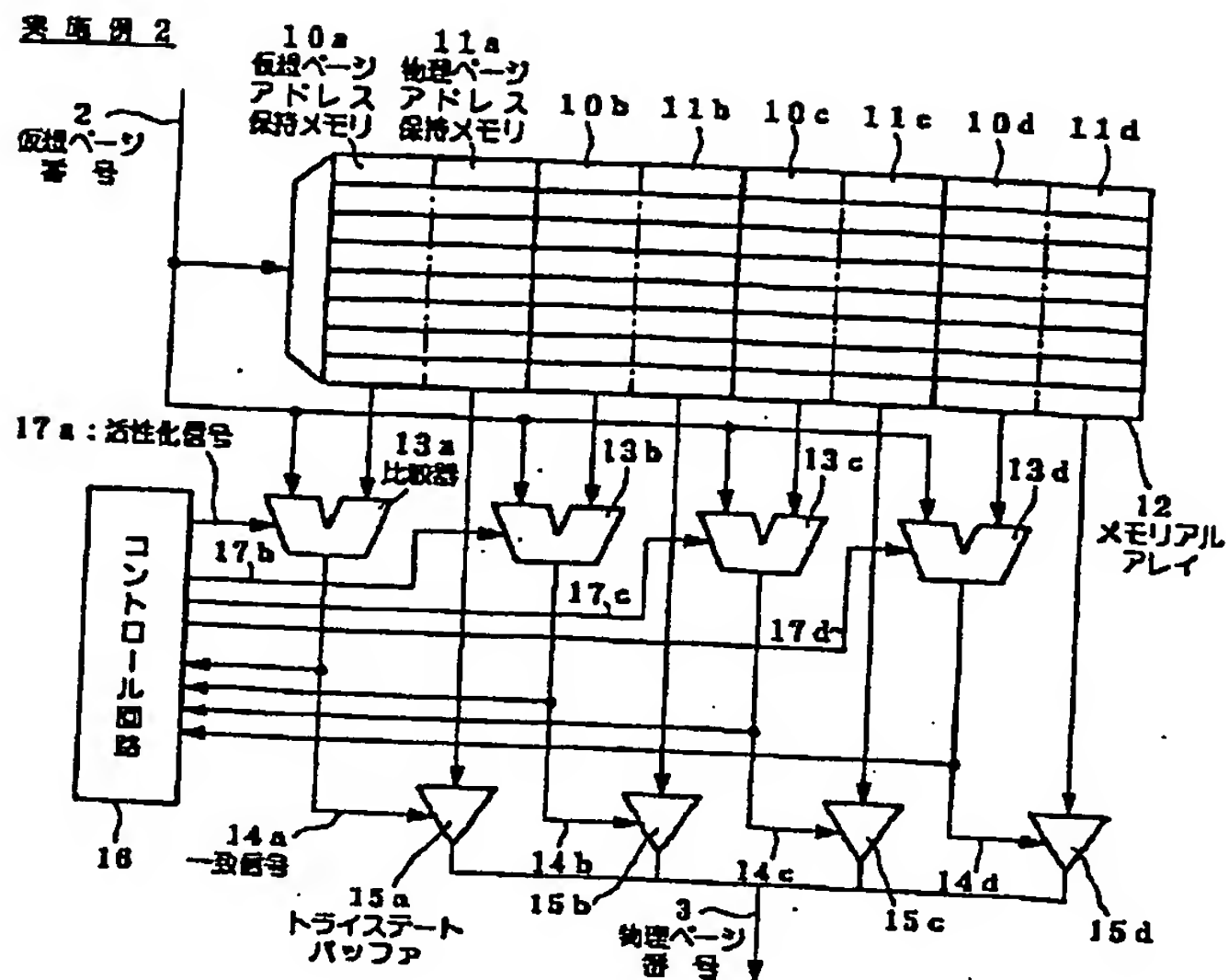
- 1 TLB回路
- 4 仮想ページ番号レジスタ
- 5 物理ページ番号レジスタ
- 6、13a、13b、13c、13d 比較器
- 9 マルチプレクサ
- 10a、10b、10c、10d 仮想ページアドレス保持メモリ
- 11a、11b、11c、11d 物理ページアドレス保持メモリ
- 12 メモリアレイ
- 15a、15b、15c、15d トライステートバッファ
- 16 コントロール回路

【図1】

実施例1

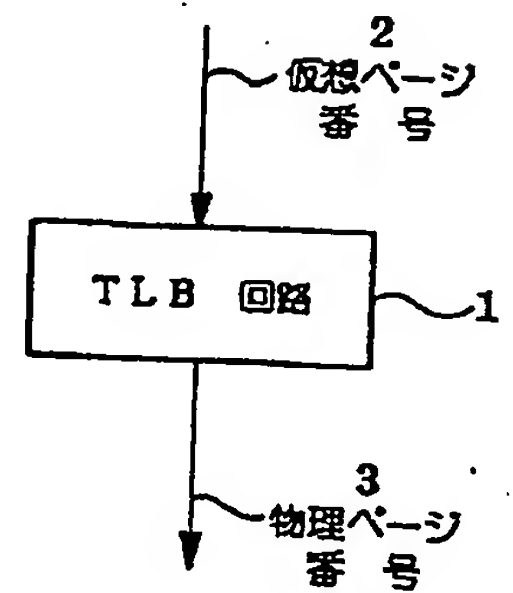


【図2】



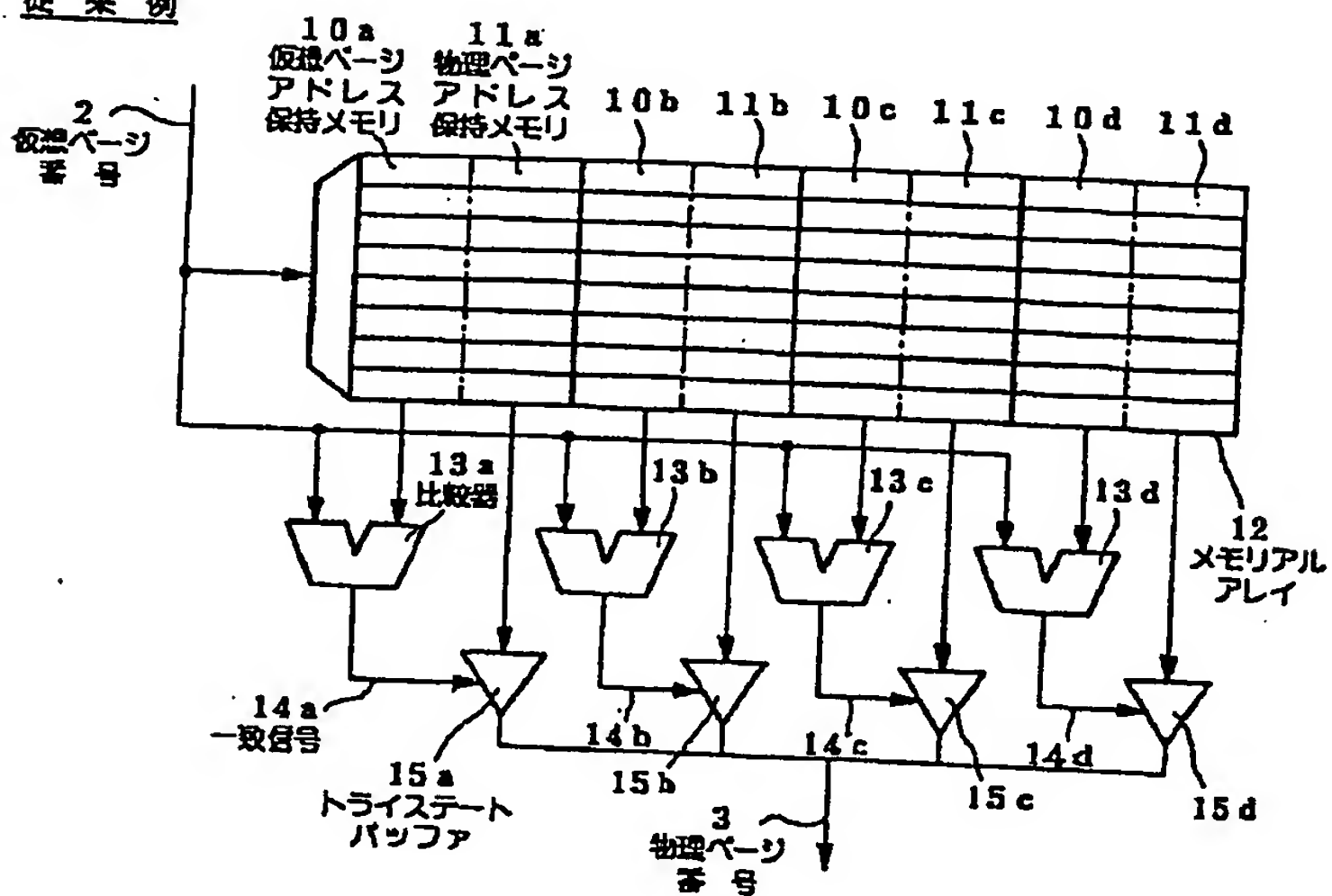
【図3】

一般的なTLB回路



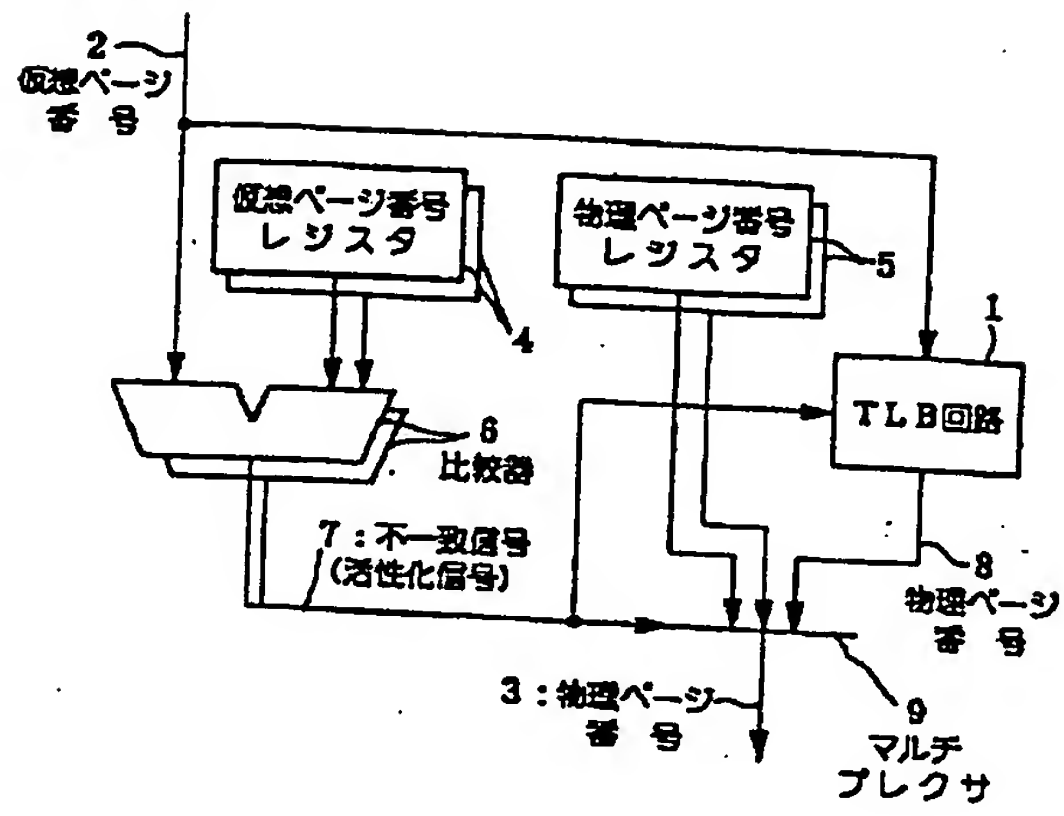
【図4】

従来例



【図5】

実施例



【公報種別】 特許法第17条の2の規定による補正の掲載
【部門区分】 第6部門第3区分
【発行日】 平成13年2月16日(2001.2.16)

【公開番号】 特開平8-95864
【公開日】 平成8年4月12日(1996.4.12)
【年通号数】 公開特許公報8-959
【出願番号】 特願平6-233687
【国際特許分類第7版】
G06F 12/10
【FI】
G06F 12/10 C

【手続補正書】

【提出日】 平成12年4月10日(2000.4.10)

【手続補正1】

【補正対象書類名】 明細書

【補正対象項目名】 特許請求の範囲

【補正方法】 変更

【補正内容】

【特許請求の範囲】

【請求項1】 仮想アドレスと物理アドレスの対応を複数ウェイ記憶する第1のアドレス変換手段と、少なくとも1つの仮想アドレスとこれに対応する物理アドレスを記憶する第2のアドレス変換手段と、変換対象となる仮想アドレスと前記第2のアドレス変換手段の仮想アドレスの対応を比較し、ここでアドレス変換できる場合は、前記第1のアドレス変換手段の活性化を抑制すると共に、前記第2のアドレス変換手段から物理アドレスを出力させ、前記第2のアドレス変換手段によるアドレス変換ができない場合は、前記第1のアドレス変換手段を活性化して、前記第1のアドレス変換手段から物理アドレスを出力させる制御手段と、を備えることを特徴とするアドレス変換装置。

【請求項2】 前記制御手段が、変換対象となる仮想アドレスと第2のアドレス変換手段の仮想アドレスを比較する比較器を有し、前記第1のアドレス変換手段が、各ウェイごとに、変換対象としての仮想アドレスと記憶された仮想アドレスとを比較する比較器を有し、前記第1のアドレス変換手段が備える比較器の数よりも、前記制御手段が有する比較器の数を少ないものとした、請求項1のアドレス変換装置。

【請求項3】 前記第2のアドレス変換手段に保持されている仮想アドレスと物理アドレスの対応のすべてを前記第1のアドレス変換手段が保持している、請求項2のアドレス変換装置。

【請求項4】 前記第1のアドレス変換手段がフルアソシアティブ方式のTLB回路である、請求項1のアドレス

変換装置。

【請求項5】 仮想アドレスと物理アドレスの対応を複数ウェイ記憶するアドレス変換手段と、過去のアドレス変換の実績に基づいて、前記アドレス変換手段の複数のウェイを選択的にアクセスし、変換対象となる仮想アドレスに対応する物理アドレスを呼び出す制御手段と、を備えることを特徴とするアドレス変換装置。

【請求項6】 前記制御手段が、前記アドレス変換手段の複数ウェイの出力を選択する手段を備える、請求項5のアドレス変換装置。

【請求項7】 前記制御手段が、前記アドレス変換手段の複数ウェイを選択的に活性化する手段を備える、請求項5のアドレス変換装置。

【請求項8】 仮想アドレスと物理アドレスの対応関係をmセット記憶する第1の記憶回路を有し、前記仮想アドレスに対応する前記物理アドレスに変換する、第1のアドレス変換回路と、

仮想アドレスと物理アドレスの対応関係を記憶する第2の記憶回路を有し、前記仮想アドレスに対応する前記物理アドレスに変換し、最後に変換された仮想アドレスと、前記最後に変換された仮想アドレスに対応する物理アドレスとを記憶し、前記記憶された仮想アドレスは、前記第1のアドレス変換回路が変換を実行するときには常に更新される、第2のアドレス変換回路と、

新たに変換される仮想アドレスと、前記第2のアドレス変換回路に記憶されている仮想アドレスとを比較する比較器を有する、比較手段と、を備え、

前記新たに変換される仮想アドレスが前記第2のアドレス変換回路に記憶される前記仮想アドレスと一致したときには、前記第1のアドレス変換回路を活性化することなく前記新たに変換される仮想アドレスは前記第2のアドレス変換回路によって物理アドレスに変換され、前記新たに変換される仮想アドレスが前記第2のアドレス変換回路に記憶される前記仮想アドレスと一致しないときには、前記第1のアドレス変換回路が活性化されることにより前記新たに変換される仮想アドレスは物理ア

ドレスに変換され、

さらに、

前記第2のアドレス変換回路から出力される変換された物理アドレスを受け取るための第1の入力と、前記第1のアドレス変換回路が活性化されたときに前記第1のアドレス変換回路から出力される変換された物理アドレスを受け取るための第2の入力とを有するマルチプレクサと、を備え、

前記マルチプレクサは、前記比較手段が一致信号を出力するときには前記第1の入力から変換された物理アドレスを出力し、前記比較手段が不一致信号を出力するときには前記第2の入力から変換された物理アドレスを出力する、ことを特徴とする、アドレス変換回路。

【請求項9】前記第2のアドレス変換回路は、仮想アドレスと物理アドレスとの対応関係のうちの最後のものとそれからn番目のものにかけてのnセット記憶するn個の第2の記憶回路を有し、

前記比較手段は、n個の比較器を有し、それぞれの比較器は、前記第2の記憶回路の1つに対応し且つ前記新たに変換される仮想アドレスを前記対応する第2の記憶回路に記憶される仮想アドレスと比較する、ことを特徴とする、請求項8に記載のアドレス変換装置。

【請求項10】仮想アドレスと物理アドレスの対応関係をmセット記憶する第1の記憶回路を有し、前記仮想アドレスを対応する前記物理アドレスに変換する、第1のアドレス変換回路と、

仮想アドレスと物理アドレスの対応関係を最後のものとそれからn番目のものにかけてのnセット記憶する第2の記憶回路を有し、前記仮想アドレスをそれと対応する前記物理アドレスに変換し、さらに最後に変換された仮想アドレスと、前記最後に変換された仮想アドレスに対

応する物理アドレスとを記憶し、前記記憶された仮想アドレスは、前記第1のアドレス変換回路が変換を実行するときには常に更新される、第2のアドレス変換回路と、

n個の比較器を有し、それぞれの比較器が前記第2の記憶回路の1つに対応し且つ前記新たに変換される仮想アドレスを前記対応する第2の記憶回路に記憶される仮想アドレスと比較する、比較手段と、を備え、

前記新たに変換される仮想アドレスが前記第2のアドレス変換回路に記憶された前記仮想アドレスと一致したときには、前記第1のアドレス変換回路を活性化することなく前記新たに変換される仮想アドレスは前記第2のアドレス変換回路によって物理アドレスに変換され、

前記新たに変換される仮想アドレスが前記第2のアドレス変換回路に記憶される前記仮想アドレスと一致しないときには、前記第1のアドレス変換回路が活性化されることにより前記新たに変換される仮想アドレスは物理アドレスに変換され、

さらに、

前記第2のアドレス変換回路の前記第2の記憶回路から出力される変換された物理アドレスを受け取るための複数の第1の入力と、前記第1のアドレス変換回路が活性化されたときに前記第1のアドレス変換回路から出力される変換された物理アドレスを受け取るための第2の入力とを有するマルチプレクサと、を備え、

前記マルチプレクサは、前記比較手段が一致信号を出力するときには前記比較器の1つに対応する前記第1の入力から前記変換された物理アドレスを出力し、前記比較手段が不一致信号を出力するときには前記第2の入力から前記変換された物理アドレスを出力する、ことを特徴とする、アドレス変換回路。